

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 08 日  
Application Date

申請案號：091132929  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2002 年 12 月 10 日  
Issue Date

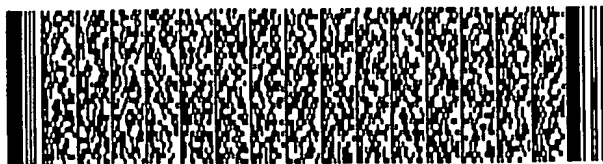
發文字號：09111024100  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	多重對準之標記及方法
	英文	
二、 發明人 (共1人)	姓名 (中文)	1. 陳峰義
	姓名 (英文)	1. Chen Feng Yi
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (中文)	1. 台中縣神岡鄉神洲村神洲路592巷4號
	住居所 (英文)	1.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：多重對準之標記及方法)

本發明提供一種多層對準的方法，適用於一具有對準標記之半導體基底，首先，於半導體基底上形成一疊層對組，其中疊層對組具有至少一第一疊層及一第二疊層；接著，於第一疊層上形成複數第一對準標記，第一對準標記等距平行排列；於第二疊層上形成複數第二對準標記，第二對準標記等距平行排列，且與第一對準標記呈間隔排列；然後，量測第一對準標記及第二對準標記之間距變形量，以計算出第一對準標記及第二對準標記變形後之中心點；且計算第一對準標記及第二對準標記變形後之中心點之平均位置，並以平均位置作為第三對準標記之中心點。

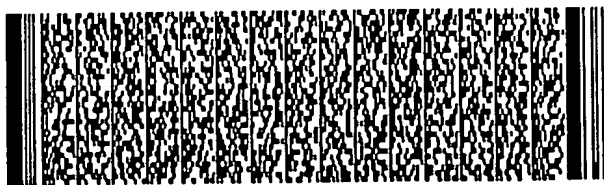
伍、(一)、本案代表圖為：第2圖。

(二)、本案代表圖之元件代表符號簡單說明：

20~晶圓；

21~第一光罩；

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：多重對準之標記及方法)

21a~第一金屬線路層；

201、202、211、212~第一對準標記；

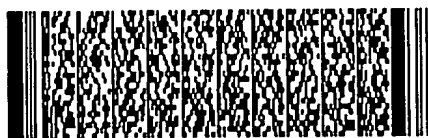
22a~第二金屬線路層；

221、222~第二對準標記；

23a~第三金屬線路層；

211a、221a、231a~中心點位置。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

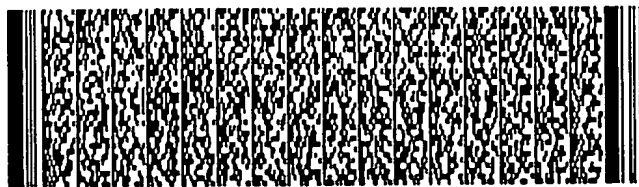
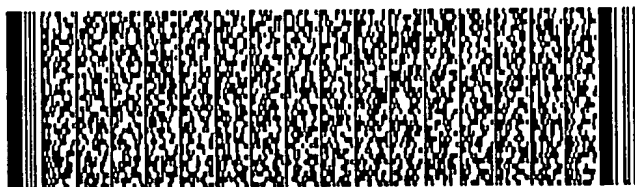
本發明係有關於一種對準標記及方法，特別係有關於在進行多重曝光時之多層疊層對準。

在積體電路(ICs)的應用上，目前積體電路製程主要是在晶圓上對導體、半導體、及絕緣材料施以薄膜沈積、微影步驟、及蝕刻、摻雜等技術，以形成高集積度之電子元件，如電晶體或電容等。然而隨著進入極大型積體電路製程(ULSI)後，由於尺寸大小(feature size)之縮減(shrink)及製程之繁複，微影步驟(photolithography)之解析度(resolution)及重疊準確率(overlay accuracy)之要求均大為提高，傳統之曝光顯影方式顯已不符所需。

其中薄膜沈積，即是將上述各材料分層沈積於待製晶圓(wafer)表面，而微影製程則是複製所欲形成之元件或電路圖案，並透過蝕刻步驟，將該些圖案轉移至待製晶圓表面各層以形成半導體元件如電晶體或電容等。

而由於一般微影製程必須先在待製晶圓表面塗佈一層光阻，然後再交與曝光機台進行曝光動作，接著將當層曝光後之圖案以顯影液顯影出來，因此對採用多層內連線(multi-level interconnects)之立體架構下之半導體裝置而言，便必須以疊層對準(overlay)的方式來重複進行微影製程。

其中在疊層對準的過程中必須確保當層(current layer)和前層(previous layer)的對準值在一容許範圍內。舉例而言，半導體裝置之每一層次皆有其專屬光罩，因此每一光罩在設計時必須有當層可供對準量測之圖案與



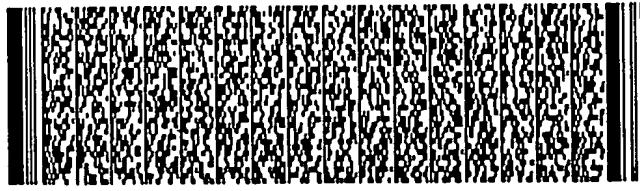
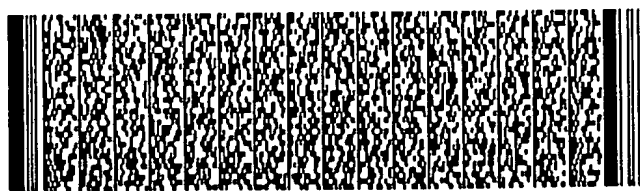
## 五、發明說明 (2)

可供後層對準量測之目標(target)，通常作為對準檢查用之圖案被設置於晶圓之切割道上，外框(outer frame)稱之為前層，代表前層所留下之被對準用之圖案，內框則為當層所定義下來之圖案，二者互相疊對以進行對準檢查。一般而言，重疊錯誤(overlay error)較容易發生在對準和曝光之步驟，例如在曝光製程中，光罩和晶圓之間的相對位置錯誤，或透鏡之失真或放大倍率錯誤，以及因溫度偏移導致之曝光系統之不穩定均是發生重疊錯誤之主因。

此外，當光學步進機(optic stepper)採用光罩-晶圓直接對準之方式時(in-axis; TTL: through the lens)，傳統對準製程係先在光罩上製作一全區對準記號，並利用曝光系統之氦-氖雷射(He-Ne Laser)來對準晶圓之記號，以測量晶圓之相對位置，其次再由光學步進機(optic stepper)以步進且重複(step-and-repeat)之方式曝光，因此在晶圓上通常分成複數個待製區(field)，並以切割道予以分割，在光罩上，則對應該待製區形成所欲之圖案(pattern)，再以區對區之方式經由透鏡以步進且重複之方式曝光，以將圖案移轉至各待製區。

以下特配合圖示第1a至1i圖以說明習知多層疊層對準的方法。

請參考第1a圖，第1a圖係習知之微影製程示意圖。首先，在半導體基底，也就是晶圓10之晶片上形成金屬層，並在金屬層上形成光阻；接著，利用光源曝光，以使第一光罩11上的圖案形成於光阻上；然後，利用顯影液顯影，



### 五、發明說明 (3)

使光阻形成光罩上的圖案；最後，蝕刻金屬層並移除光阻，即可在晶片上形成與第一光罩11相同的圖案之第一金屬線路層11a；其中，金屬線路層11a上會同時形成有與光罩11上之第一標記101及102互項對應之第一標記111及112。

請參考第1b圖，第1b圖係習知之利用第一光罩11形成疊層之俯視圖，疊層即為金屬線路層11a。第一光罩11上具有第一對準標記101及102，分別位於X軸及Y軸上，第一對準標記101及102會與晶圓上之對準標記對應，以期能準確在晶圓10之晶片上形成與第一光罩11之第一標記101及102的圖案對應之具有第一標記111及112之第一金屬線路層11a。

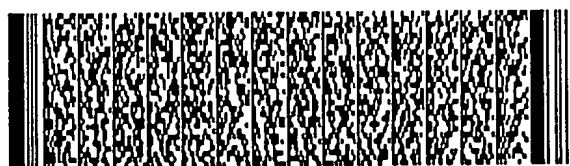
另外，請參考第1c圖，第1c圖係以第一光罩11進行微影步驟以於晶圓上形成疊層之切面圖。

請參考第1d圖，第1d圖係習知之以第二光罩進行微影步驟形成疊層之俯視圖。在進行第一光罩11的曝光之後，接著進行第二光罩(未繪示)的曝光，同樣地，第二光罩在X軸及Y軸上各具有一第二對準標記121及122，第二對準標記121及122可在第一金屬線路層11a上準確形成與第二光罩的圖案對應之第二金屬線路層12a。

第1e圖係第二光罩所形成之圖案疊放於第一光罩11所形成之圖案之俯視圖。

第1f圖係以第二光罩進行微影步驟以形成疊層於第1c圖所示晶圓之切面圖。

由此類推，之後的各個光罩利用相同的方法來進行微





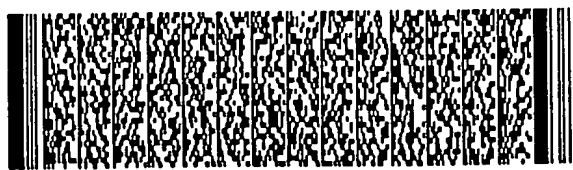
#### 五、發明說明 (4)

影步驟。但是，有時在進行完微影製程之後，需先進行其他的製程，例如是氧化或熱製程等。進行氧化或熱製程時，晶圓會隨著溫度產生變化，發生熱漲冷縮的反應，最後導致晶圓的變形；如果晶圓變形，晶圓及隨著圖案形成在金屬線路層上的對準標記亦會跟著變形。如第1g圖係第1f圖之晶圓變形後之切面圖。由於第一金屬線路層11a及第二金屬線路層12a的變形方向不同，所以第一金屬線路層11a與第二金屬線路層12a的位置會有誤差。

微影製程通常具有多次微影次數，所以會有多個光罩，但是因為對準標記的位置因為變形而改變了，所以在進行第三次的微影製程時，不能與先前所有完成的第一金屬線路層11a及第二金屬線路層12a同時對準，只好在第一金屬線路層11a與第二金屬線路層12a之中擇一對準。其中，如果第三次的微影製程所完成之第三金屬線路層13a相對於第一金屬線路層11a較為重要的話，則選擇與第一金屬線路層11a對準，並形成於第二金屬線路層12a上；如第1h圖所示，第1h圖係第三疊層對準第一疊層以形成於第二疊層上之切面圖。

如果第三次的微影製程所完成之第三金屬線路層13a相對於第二金屬線路層12a較為重要的話，則選擇與第二金屬線路層12a對準，並形成於第二金屬線路層12a上；如第1i圖所示，第1i圖係第三疊層對準第二疊層以形成於第二疊層上之切面圖。

然而，其後之微影製程所完成的金屬線路層對每一層



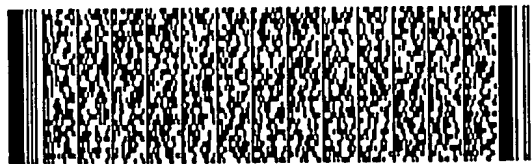
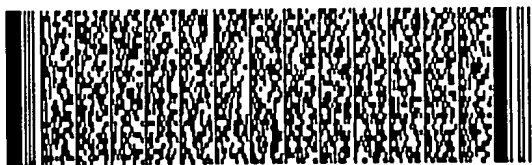
## 五、發明說明 (5)

都可能相當重要，如果不能在每一次執行光阻的曝光之前做好各層間的對準，圖案轉移不佳，將導致整個晶片的報廢。

有鑑於此，本發明提供一種利用對準標記來進行對準的方法，能在進行圖案化步驟時將疊層有效對準，減少圖案堆疊的誤差。

根據上述目的，本發明提供一種多層對準的方法，適用於一具有對準標記之半導體基底，包括下列步驟：於半導體基底上形成一疊層對組，其中疊層對組具有至少一第一疊層及一第二疊層；於第一疊層上形成複數第一對準標記，第一對準標記等距平行排列；於第二疊層上形成複數第二對準標記，第二對準標記等距平行排列；量測第一對準標記及第二對準標記之間距變形量，以計算出第一對準標記及第二對準標記變形後之中心點；及計算第一對準標記及第二對準標記變形後之中心點之平均位置，並以平均位置作為第三對準標記之中心點。

根據上述目的，本發明再提供一種多層對準的方法，適用於一具有對準標記之半導體基底，包括下列步驟：於半導體基底上形成一疊層對組，其中疊層對組具有至少一第一疊層及一第二疊層；於第一疊層上形成複數第一對準標記，第一對準標記等距平行排列；於第二疊層上形成複數第二對準標記，第二對準標記等距平行排列，且與第一對準標記呈間隔排列；量測第一對準標記及第二對準標記之間距變形量，以計算出第一對準標記及第二對準標記變



## 五、發明說明 (6)

形後之中心點；及計算第一對準標記及第二對準標記變形後之中心點之平均位置，並以平均位置作為第三對準標記之中心點。

根據上述目的，本發明更提供一種多層對準標記，適用於一具有對準標記之半導體基底，包括：一疊層對組，疊層對組具有至少一第一疊層及至少一第二疊層；複數第一對準標記，形成於第一疊層上，其中第一對準標記等距平行排列；及複數第二對準標記，形成於第二疊層上，其第二對準標記等距平行排列，且第一對準標記與第二對準標記呈間隔排列。

實施例：

本發明提供一種具有對準標記之光罩，如第2a圖所示，並配合圖示第2a至2i圖以說明利用本發明所提供之光罩進行多層疊層對準的方法。

請參考第2a圖，第2a圖係本發明之微影製程示意圖。首先，在半導體基底，也就是晶圓20之晶片上形成金屬層，並在金屬層上形成光阻；接著，利用光源曝光，以使第一光罩21上的圖案形成於光阻上；然後，利用顯影液顯影，使光阻形成光罩上的圖案；最後，蝕刻金屬層並移除光阻，即可在晶片上形成與第一光罩21相同的圖案之第一金屬線路層21a；其中，金屬線路層21a上會同時形成有與光罩21上之第一標記201及202互項對應之第一標記211及212。

請參考第2b圖，第2b圖係本發明之利用第一光罩形成



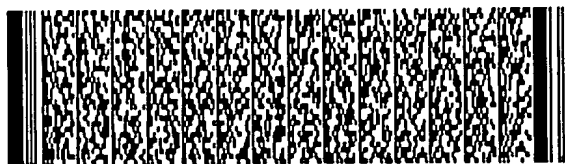
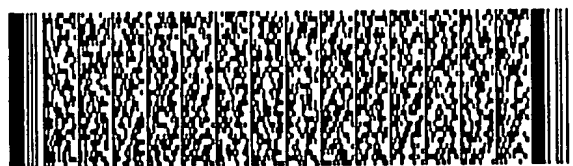
#### 五、發明說明 (7)

疊層之俯視圖；其中；疊層即為金屬線路層21a。第一光罩21上具有第一對準標記201及202，分別位於X軸及Y軸上。在上述之微影製程中，第一對準標記201及202會與晶圓上之對準標記對應，以期能準確在晶圓20之晶片上形成與第一光罩21之第一標記201及202的圖案對應之具有第一標記211及212之第一金屬線路層21a。

另外，請參考第2c圖，第2c圖係對應於第2b圖之c-c切線以第一光罩21進行上述之微影蝕刻步驟形成疊層於晶圓20之第一對準標記211之切面圖。為簡化圖示，第2c圖中僅繪示出第一對準標記211，並未繪示出第一金屬線路層21a的圖案。

請參考第2d圖，第2d圖係本發明之利用第二光罩形成疊層之俯視圖；其中，疊層即為金屬線路層22a。在利用第一光罩21進行微影及蝕刻製程以形成第一金屬線路層21a之後，接著利用第二光罩(未繪示)進行微影蝕刻製程；同樣地，第二光罩在X軸及Y軸上各具有一第二對準標記(未繪示)，第二對準標記可在第一金屬線路層21a上準確形成與具有第二對準標記之第二光罩的圖案對應之具有第二標記221及222之第二金屬線路層22a；且當第二金屬線路層22a形成在第一金屬線路層21a之上時，俯視形成有第一金屬線路層21a及第二金屬線路層22a之晶圓20，會發現第二金屬線路層22a之對準標記221及222分別與第一金屬線路層21a之對準標記211及212彼此交錯排列且不重疊。

第2e圖係係本發明之第二光罩22所形成之圖案疊放於



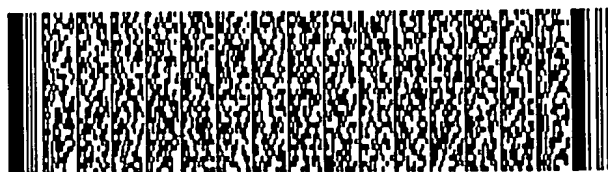
## 五、發明說明 (8)

第一光罩21所形成之圖案之俯視圖。

第2f圖係本發明之對應於第2e圖之f-f切線之以第二光罩所形成之疊層之第二標記221疊放於第一光罩21所形成之疊層之第一標記211之切面圖。為簡化圖示，第2f圖中僅繪示出第一對準標記211及第二對準標記221，並未繪示出第一金屬線路層21a及第二金屬線路層22a的圖案。

由此類推，之後的各個光罩利用相同的方法來進行微影步驟。但是，有時在進行完微影及蝕刻製程之後，需先進行其他的製程，例如是氧化或熱製程等。進行氧化或熱製程時，晶圓會隨著溫度產生變化，發生熱漲冷縮的反應，最後導致晶圓的變形；如果晶圓變形，晶圓及隨著圖案形成在金屬線路層上的對準標記亦會跟著變形。如第2g圖係第2f圖之晶圓變形後之切面圖。由於第一金屬線路層21a及第二金屬線路層22a的變形方向不同，所以第一金屬線路層21a與第二金屬線路層22a的位置會有誤差。

微影製程通常具有多次微影次數，所以會有多個光罩，但是因為對準標記的位置因為變形而改變了，所以在進行第三次的微影製程時，不能與先前所有完成的第一金屬線路層21a及第二金屬線路層22a同時對準，因此本發明分別計算第一對準標記211及第二對準標記221變形後之中心點位置，其中第一對準標記211之中心點位置211a及第二對準標記221之中心點位置221a如第2g圖所示；同時，計算中心點位置211a及221a之平均位置231a，231a即為第三金屬線路層(未顯示)上之第三對準標記231之中心點位置



## 五、發明說明 (9)

231a。

如此一來，第三光罩(未顯示)即可在與第一金屬線路層21a及第二金屬線路層22a對準的位置進行微影步驟，並於第二金屬線路層22a的上方形形成第三金屬線路層(未顯示)，如第2h圖所示，第2h圖係第三對準標記231對準變形後第一對準標記211與第二對準標記221之切面圖。

為使本發明更明顯易懂，以下係以第2a-2i圖為例，並配合第4圖詳細說明如下。

請參考第4圖，第4圖係本發明之一實施例之多層疊層對準的方法之流程圖。

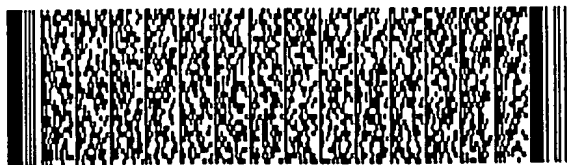
步驟401，首先於半導體基底上利用一第一光罩進行微影步驟，以形成一具有第一對準標記之第一疊層；其中，半導體基底例如是晶圓，疊層例如是金屬線路層。

步驟402，接著，在第一疊層上利用第二光罩進行微影步驟，以在第一疊層上形成一第二疊層，第二疊層具有第二對準標記。其中，俯視形成有第二疊層之第一疊層時，會看到第二對準標記與第一對準標記間隔排列。

步驟403，在進行其他的製程之後，半導體基底可能發生變形，所以分別計算出第一對準標記及第二對準標記在變形後之中心點位置。

步驟404，在分別計算出第一對準標記及第二對準標記在變形後之中心點位置之後，計算兩者變形後中心點位置之平均位置，並進行步驟405。

步驟405，以第一對準標記及第二對準標記在變形後



#### 五、發明說明 (10)

中心點位置之平均位置座位下次進行微影製程時對準標記之中心點位置；並且如步驟406所示，在第二疊層上形成另一疊層。如此一來，即可讓第二疊層上所形成之新疊層能同時與第一疊層及第二疊層對準。

本發明所提供之分別計算出第一對準標記及第二對準標記在變形後之中心點位置，然後計算兩者變形後中心點位置之平均位置的方法，亦可適用於習知之具有對準標記之光罩所形成之金屬線路層，相關圖式如第1a-1e圖所示；以下更配合第3圖做詳細說明如下。

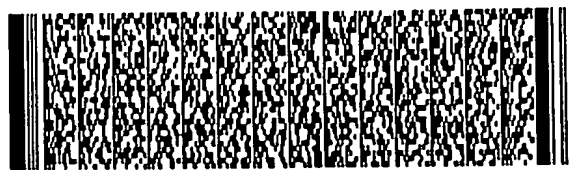
請參考第3圖，第3圖係本發明之另一實施例之多層疊層對準的方法之流程圖。

步驟301，首先於半導體基底上利用一第一光罩進行微影步驟，以形成一具有第一對準標記之第一疊層；其中，半導體基底例如是晶圓，疊層例如是金屬線路層；第一光罩具有至少2個第一對準標記，分別位於光罩之橫軸及縱軸。

步驟302，接著，在第一疊層上利用第二光罩進行微影步驟，以在第一疊層上形成一第二疊層，第二疊層具有第二對準標記；其中，第二光罩具有至少2個第二對準標記，分別位於光罩之橫軸及縱軸。

步驟303，在進行其他的製程之後，半導體基底可能發生變形，所以分別計算出位於橫軸及縱軸上之第一對準標記在變形後之中心點位置。

步驟304，接著，分別計算出位於橫軸及縱軸上之第



## 五、發明說明 (11)

二對準標記在變形後之中心點位置。因為第一對準標記與第二對準標記共具有至少4個對準標記，所以需要進行至少4次的計算。

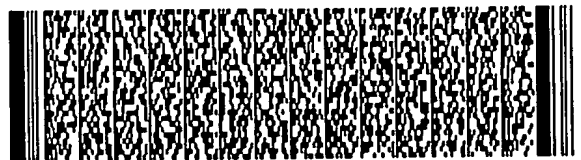
步驟305，在分別計算出位於橫軸及縱軸之第一對準標記及第二對準標記在變形後之中心點位置之後，計算兩者至少4個之變形後中心點位置之平均位置，並進行步驟306。

步驟306，以第一對準標記及第二對準標記在變形後中心點位置之平均位置座位下次進行微影製程時對準標記之中心點位置，並進行步驟307。

步驟307，在第二疊層上形成另一疊層。如此一來，即可讓第二疊層上所形成之新疊層能同時與第一疊層及第二疊層對準。

其方法係不在如第1h圖及第1i圖所示之自第一金屬線路層11a或第二金屬線路層12a中擇一來對準，而是如第3圖之步驟303及304所示，先各別將第一對準標記111、121及第二對準標記112、122變形後之中心點位置計算出來；接著，進行步驟305，將變形後中心點位置之平均位置計算出來；然後，步驟306，在進行下一次，例如是第3次的微影製程時，以變形後中心點平均位置作為新的對準標記；最後進行步驟307，在對準新的對準標記位置後進行第3次的微影製程，第3次微影製程所形成之第三金屬線路層能同時對準金屬線路層11a及12a。

因為第3圖所示之實施例之金屬線路層11a及12a之對





#### 五、發明說明 (12)

準標記與第4圖所示之實施例不同之處，在於金屬線路層11a及12a之對準標記111、112、121及122各自位於橫軸及縱軸之不同位置上，因此需分別進行量測及計算，因此，會較本發明所提供之互相間隔之第一對準標記與第二對準標記之實施例多花費一倍時間來進行量測及計算。

本發明雖已以一較佳實施例揭露如上，但其並非用以限制本發明。任何熟悉此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

為使本發明之上述目的、特徵、和優點更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1a圖係習知之微影步驟示意圖。

第1b圖係習知之利用第一光罩形成疊層之俯視圖。

第1c圖係習知之以第一光罩進行微影步驟以於晶圓上形成疊層之切面圖。

第1d圖係以第二光罩進行微影步驟形成疊層於晶圓之俯視圖。

第1e圖係第二光罩所形成之圖案疊放於第一光罩所形成之圖案之俯視圖。

第1f圖係以第二光罩進行微影步驟以形成疊層於第1c圖所示晶圓之切面圖。

第1g圖係第1f圖之晶圓變形後之切面圖。

第1h圖係第三疊層對準第一疊層以形成於第二疊層上之切面圖。

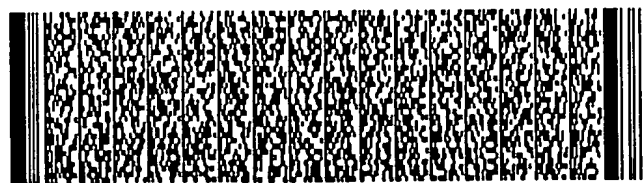
第1i圖係第三疊層對準第二疊層以形成於第二疊層上之切面圖。

第2a圖係本發明之微影示意圖。

第2b圖係本發明之利用第一光罩形成疊層之俯視圖。

第2c圖係對應於第2b圖之c-c切線以第一光罩進行上述之微影蝕刻步驟形成疊層於晶圓之第一對準標記之切面圖。

第2d圖係本發明之利用第二光罩形成疊層之俯視圖。



## 圖式簡單說明

第2e圖係本發明之第二光罩所形成之圖案疊放於第一光罩所形成疊層於晶圓之俯視圖。

第2f圖係本發明之對應於第2e圖之f-f切線之以第二光罩所形成之疊層之第二標記疊放於第一光罩所形成之疊層之第一標記之切面圖。

第2g圖係第2f圖所示之晶圓變形後之切面圖。

第2h圖係第三對準標記231對準變形後第一對準標記211與第二對準標記221之切面圖。

第3圖係本發明之一實施例之多層疊層對準的方法之流程圖。

第4圖係本發明之一實施例之多層疊層對準的方法之流程圖。

## 符號說明：

10、20~晶圓；

11、21~第一光罩；

11a、21a~第一金屬線路層；

101、102、111、112~第一對準標記；

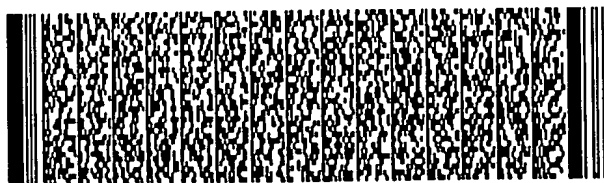
201、202、211、212~第一對準標記；

12a、22a~第二金屬線路層；

121、122、221、222~第二對準標記；

13a、23a~第三金屬線路層；

211a、221a、231a~中心點位置。



## 六、申請專利範圍

1. 一種多層對準的方法，適用於一具有對準標記之半導體基底，包括下列步驟：

於該半導體基底上形成一疊層對組，其中該疊層對組具有至少一第一疊層及一第二疊層；

於該第一疊層上形成複數第一對準標記，該等第一對準標記等間距平行排列；

於該第二疊層上形成複數第二對準標記，該等第二對準標記等間距平行排列；

量測該等第一對準標記及該等第二對準標記之間距變形量，以計算出該等第一對準標記及該等第二對準標記變形後之中心點；及

計算該等第一對準標記及該等第二對準標記變形後之中心點之平均位置，並以該平均位置作為後續製程之對準基點。

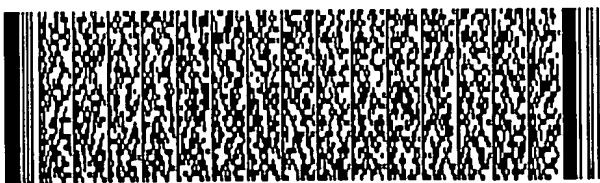
2. 如申請專利範圍第1項所述之多層對準的方法，其中該第一對準標記與該第二對準標記不重疊。

3. 一種多層對準的方法，適用於一具有對準標記之半導體基底，包括下列步驟：

於該半導體基底上形成一疊層對組，其中該疊層對組具有至少一第一疊層及一第二疊層；

於該第一疊層上形成複數第一對準標記，該等第一對準標記等距平行排列；

於該第二疊層上形成複數第二對準標記，該等第二對準標記等距平行排列，且該第二疊層形成於該第一疊層之



#### 六、申請專利範圍

上時，該等第二對準標記與該等第一對準標記彼此交錯排列且不重疊；

量測該等第一對準標記及該等第二對準標記之間距變形量，以計算出該等第一對準標記及該等第二對準標記變形後之中心點；及

計算該等第一對準標記及該等第二對準標記變形後之中心點之平均位置，並以該平均位置作為後續製程之對準基點。

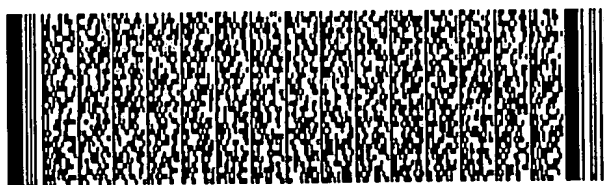
4. 如申請專利範圍第3項所述之多層對準的方法，其中該第一對準標記與該第二對準標記不重疊。

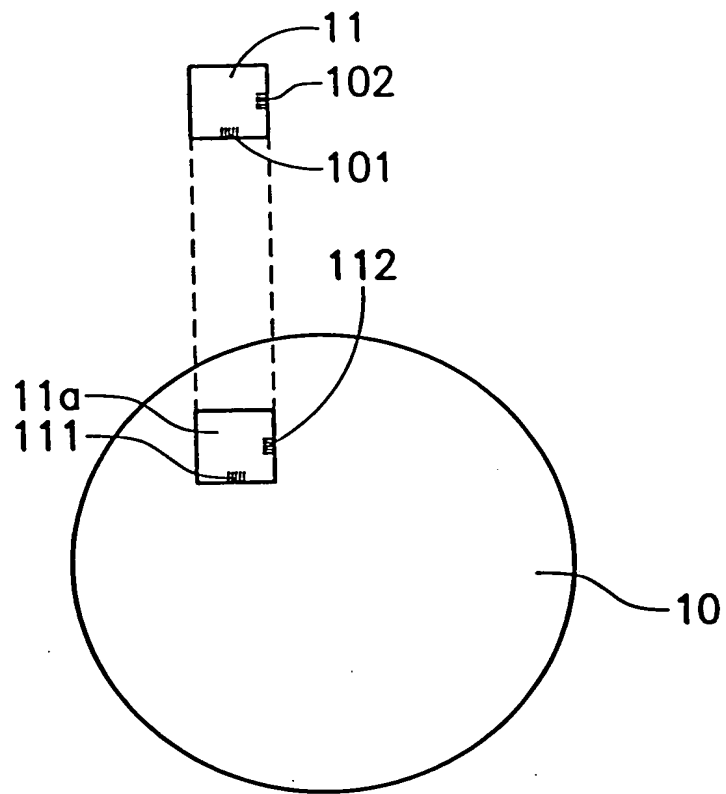
5. 一種多層對準標記，適用於一具有對準標記之半導體基底，包括：

一疊層對組，該疊層對組具有至少一第一疊層及至少一第二疊層；

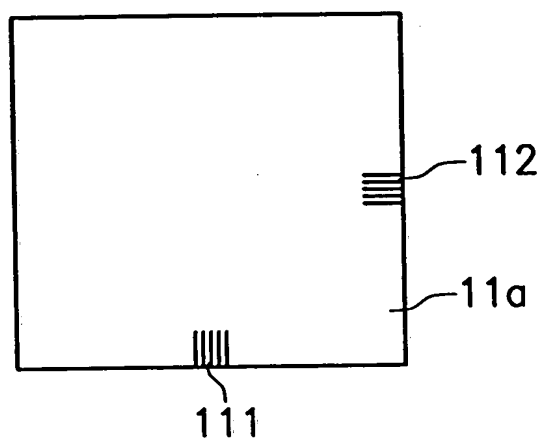
複數第一對準標記，形成於該第一疊層上，其中該等第一對準標記等距平行排列；及

複數第二標記，形成於該第二疊層上，其該等第二對準標記等距平行排列；且該第二疊層形成於該第一疊層之上時，該等第二對準標記與該等第一對準標記彼此交錯排列且不重疊。

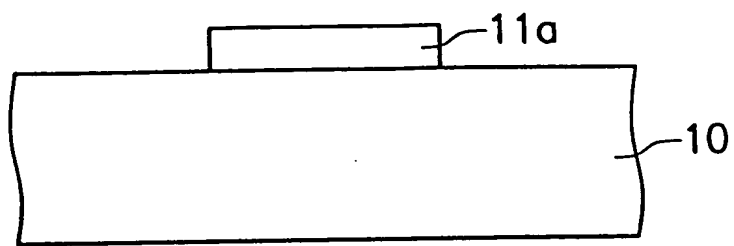




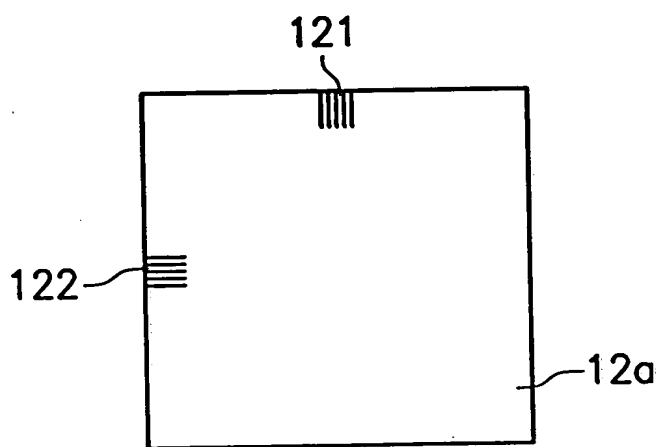
第 1a 圖



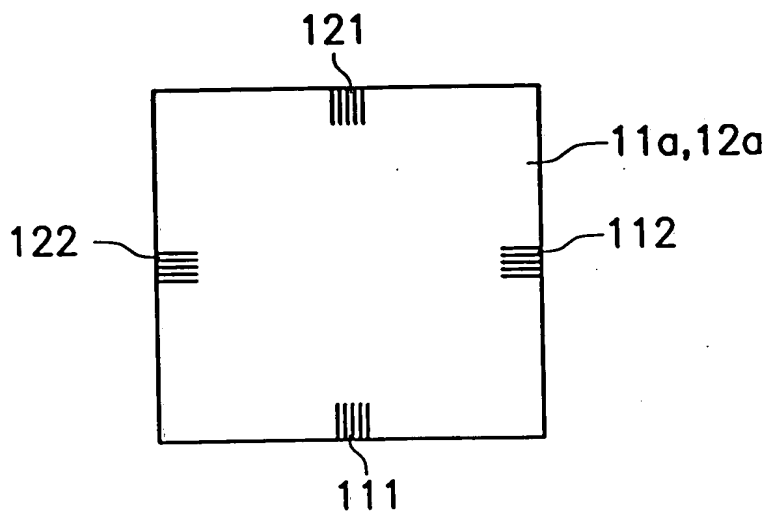
第 1b 圖



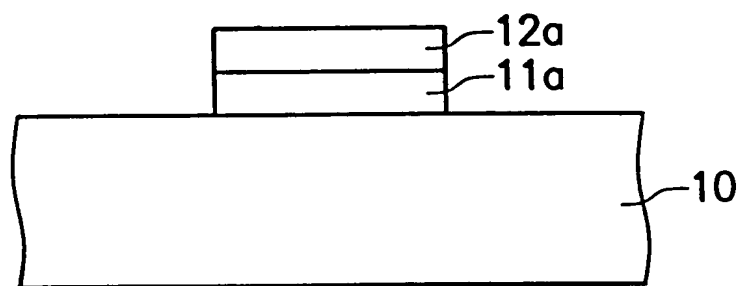
第 1c 圖



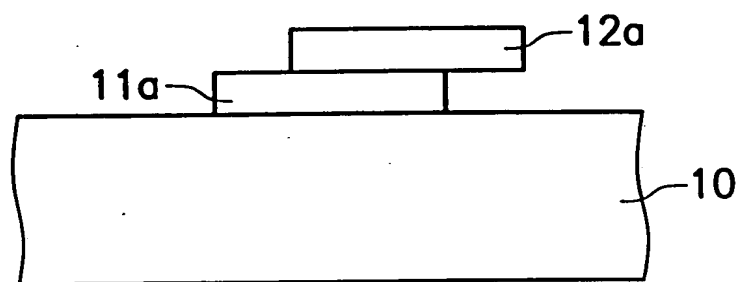
第 1d 圖



第 1e 圖

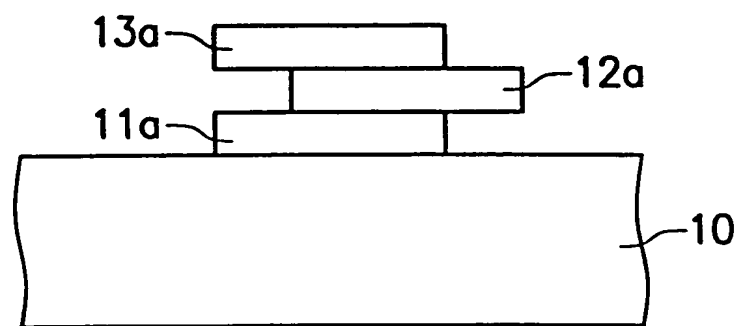


第 1f 圖

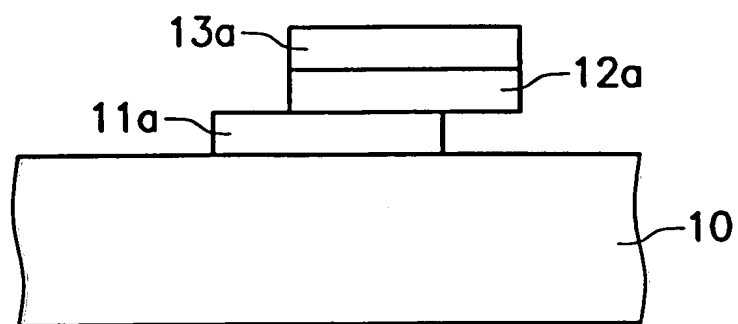


第 1g 圖

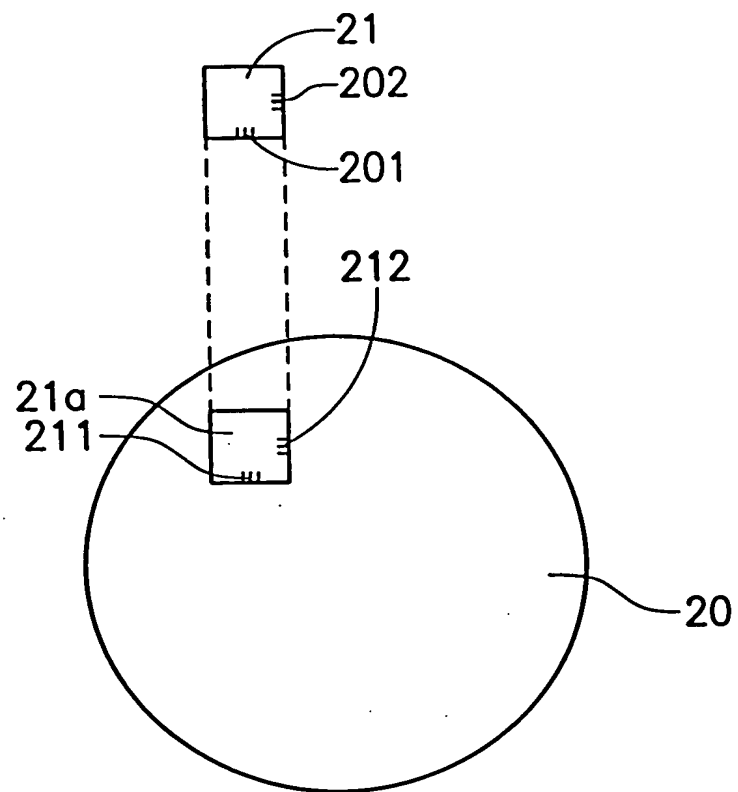




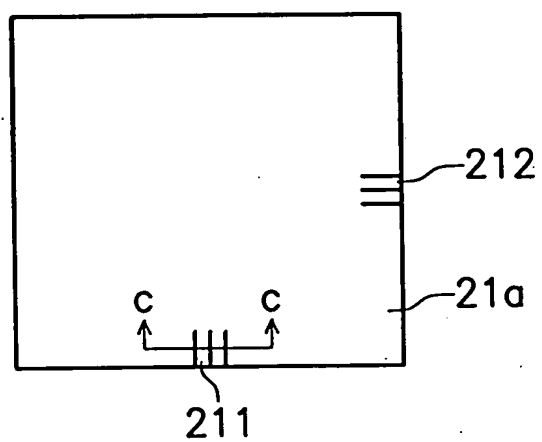
第 1h 圖



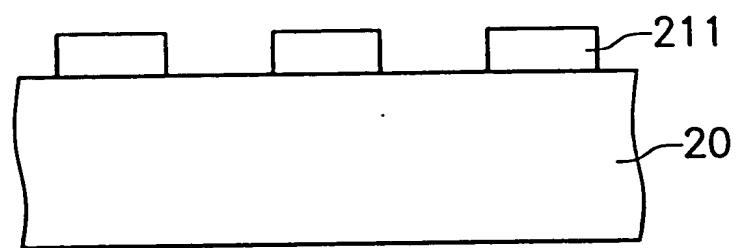
第 1i 圖



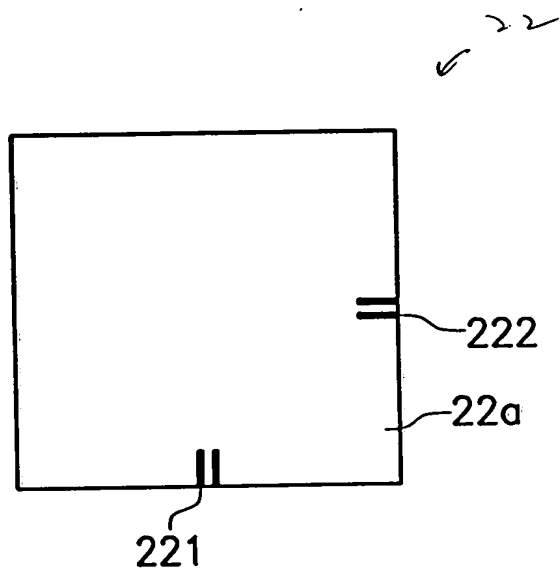
第 2a 圖



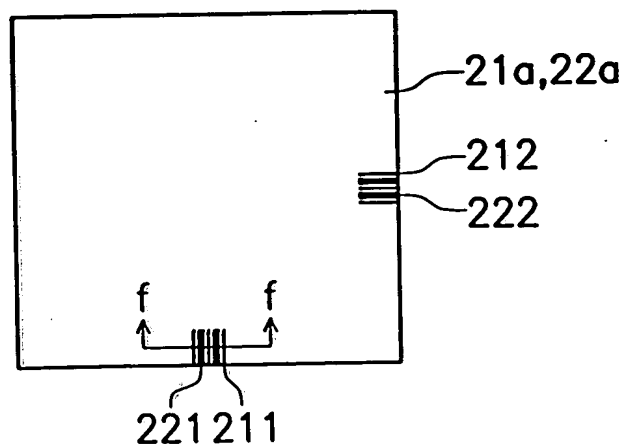
第 2b 圖



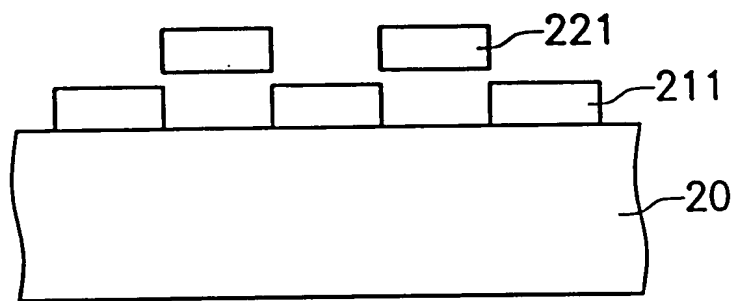
第2c圖



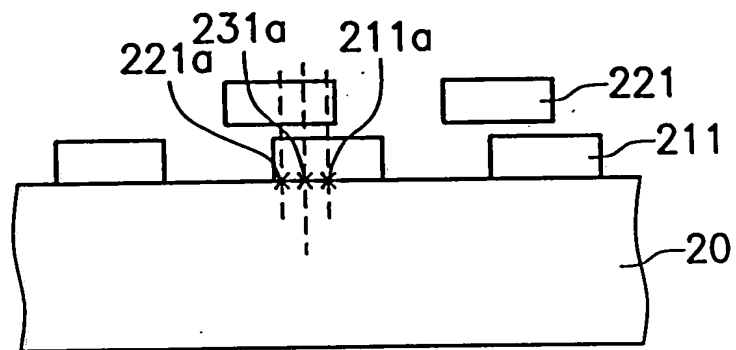
第2d圖



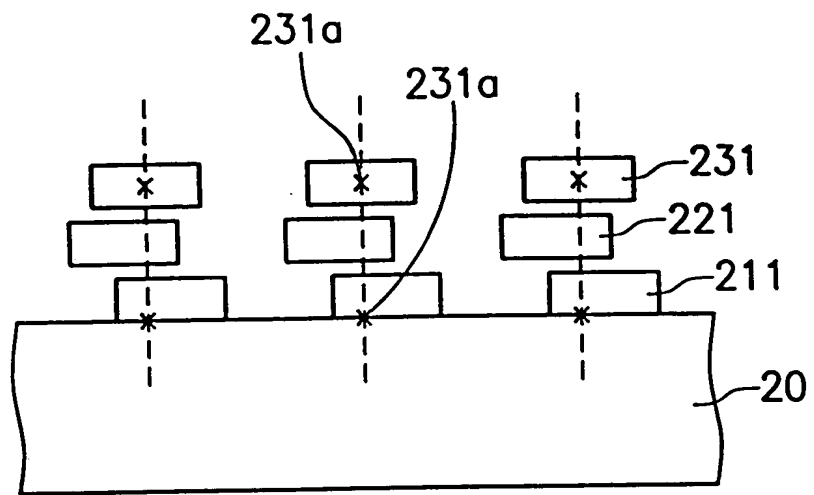
第2e圖



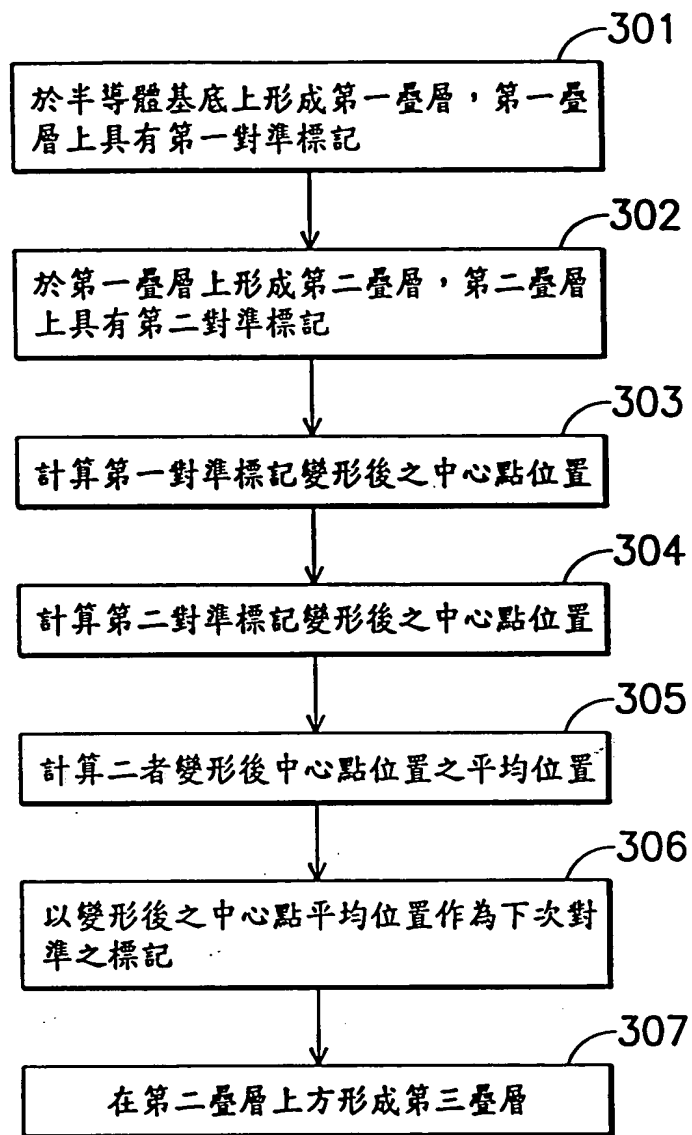
第 2f 圖



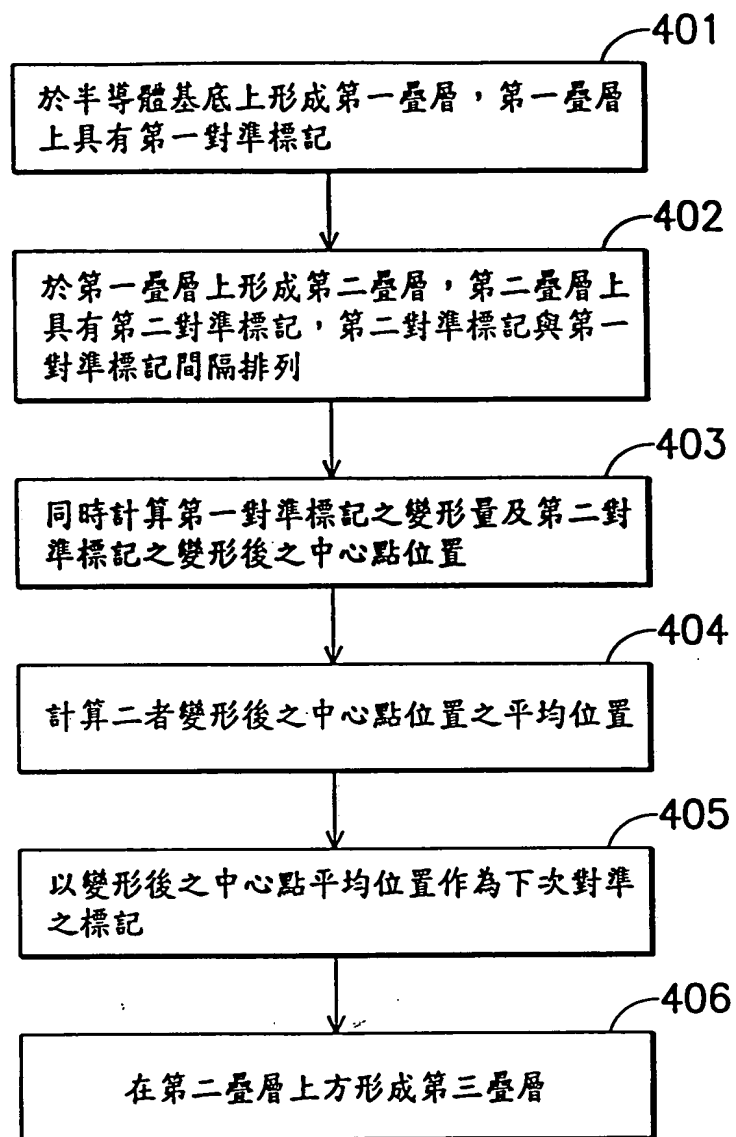
第 2g 圖



第 2h 圖



第 3 圖

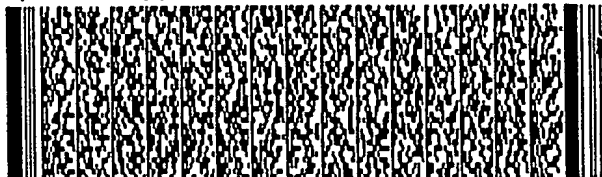


第 4 圖

第 1/20 頁



第 2/20 頁



第 3/20 頁



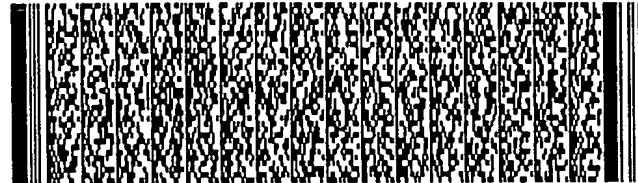
第 4/20 頁



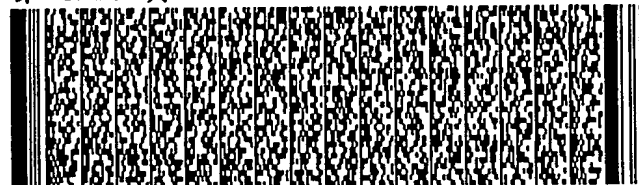
第 5/20 頁



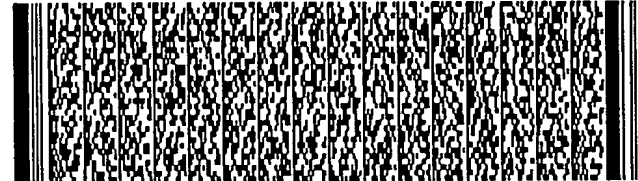
第 5/20 頁



第 6/20 頁



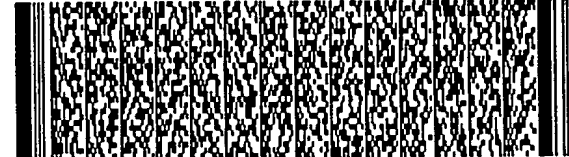
第 6/20 頁



第 7/20 頁



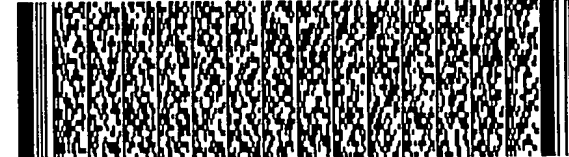
第 7/20 頁



第 8/20 頁



第 8/20 頁



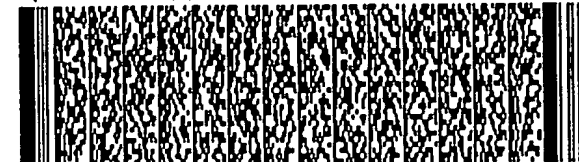
第 9/20 頁



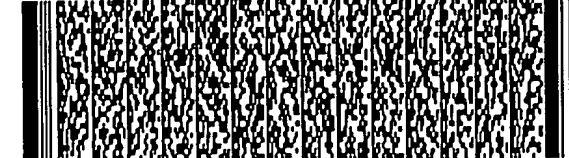
第 9/20 頁



第 10/20 頁



第 10/20 頁

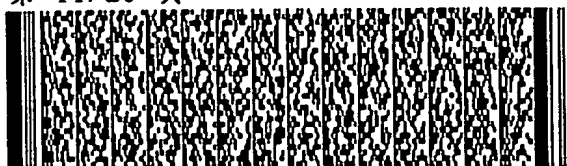




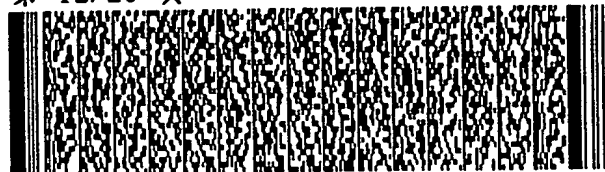
第 11/20 頁



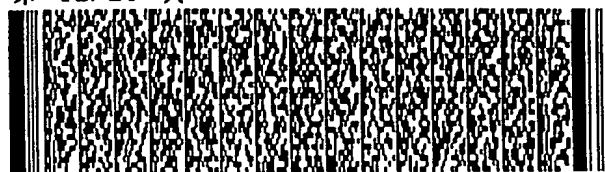
第 11/20 頁



第 12/20 頁



第 12/20 頁



第 13/20 頁



第 13/20 頁



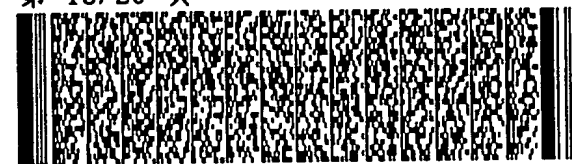
第 14/20 頁



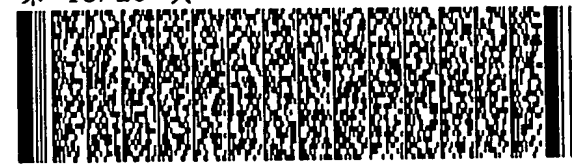
第 14/20 頁



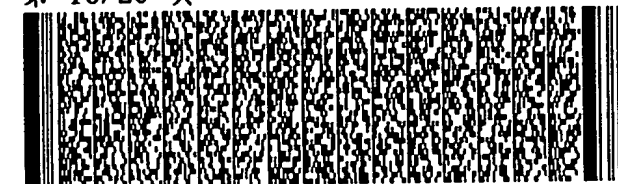
第 15/20 頁



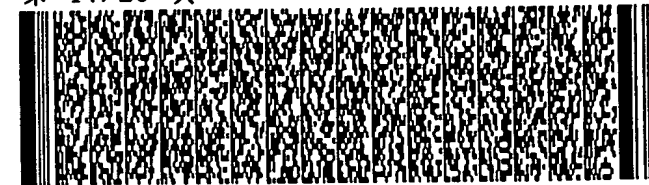
第 15/20 頁



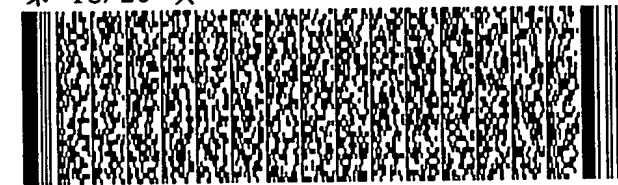
第 16/20 頁



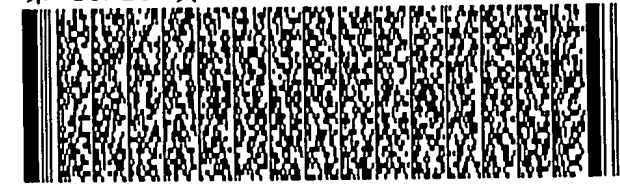
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

